

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年4月12日 (12.04.2001)

PCT

(10) 国際公開番号  
WO 01/26143 A1

(51) 国際特許分類: H01L 21/28, 21/288, 21/44,  
21/445, 29/40, 29/43, 29/47, 29/872

CORPORATION) [JP/JP]; 〒569-1193 大阪府高槻市  
幸町1番1号 Osaka (JP).

(21) 国際出願番号: PCT/JP00/06851

(22) 国際出願日: 2000年10月3日 (03.10.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願平11/282668 1999年10月4日 (04.10.1999) JP  
特願2000/263467 2000年8月31日 (31.08.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 松下  
電子工業株式会社 (MATSUSHITA ELECTRONICS

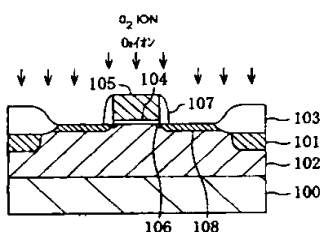
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 橋本 伸  
(HASHIMOTO, Shin) [JP/JP]; 〒573-0001 大阪府枚方  
市田口山2-22-1-511 Osaka (JP). 岸田剛信 (KISHIDA,  
Takenobu) [JP/JP]; 〒617-0836 京都府長岡京市久  
貝2-15-17-307 Kyoto (JP). 江頭恭子 (EGASHIRA,  
Kyoko) [JP/JP]; 〒600-8189 京都府京都市下京区東  
洞院通五条下る2丁目 福島町505-1101 Kyoto (JP).  
畑 良文 (HATA, Yoshifumi) [JP/JP]; 〒610-0102 京  
都府城陽市久世下大谷6-224 Kyoto (JP). 西脇 徹  
(NISHIWAKI, Toru) [JP/JP]; 〒930-0842 富山県富山  
市窪新町4-61-1002 Toyama (JP). 田中知哉 (TANAKA,

[続葉有]

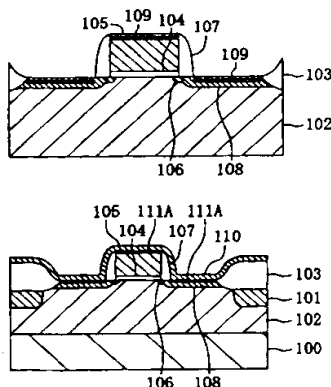
(54) Title: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A nonmetallic element is distributed in a region close to the surface of a semiconductor layer, and a metal layer is then deposited on the semiconductor layer. The metal layer is heat-treated to cause a reaction between the element composing the semiconductor layer and the metal composing the metal layer so that a layer of the compound of the semiconductor and the metal may epitaxially grow on the surface of the semiconductor layer.

(57) 要約:



半導体層における表面近傍の領域に非金属元素を分布させた後、半導体層の上に金属膜を堆積する。次に、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させることにより、半導体層の表面に半導体金属間化合物層をエピタキシャル成長させる。

WO 01/26143 A1



Tomoya) [JP/JP]; 〒617-0836 京都府長岡京市勝竜寺  
17-2-305 Kyoto (JP).

(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.): 〒  
550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平  
ビル Osaka (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開 類:  
-- 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明 細 書

## 半導体装置の製造方法

## 技術分野

本発明は、半導体層の表面部に半導体金属間の化合物層、特に高い結晶配向性を持つ半導体金属間化合物層をエピタキシャル成長させる方法に関する。

## 背景技術

高速動作を必要とする半導体集積回路装置においては、近年の半導体素子の微細化に伴って、不純物が拡散されてなる半導体層のシート抵抗及びコンタクト抵抗の増加が問題になってきている。

この問題を解決する方法の1つとして、半導体層の表面部にシリサイド層を形成するプロセスが提案されている。シリサイド層を形成するための金属としては種々のものが提案されているが、コバルトを用いて形成するコバルトダイシリサイド( $\text{CoSi}_2$ )層は、熱的安定性及び抵抗率の両面から優れているので特に注目されている。

ところが、シリコン基板の表面部をコバルトを用いてシリサイド化する場合、コバルト原子とシリコン原子との反応プロセスにおいて、コバルトシリサイド層が凝集したり又はコバルトシリサイド層にスパイク欠陥が発生したりする(IEDM1995-449 K. Goto)。コバルトシリサイド層が凝集すると断線が発生するという問題があり、またスパイク欠陥が発生すると接合リークが起きるという問題がある。

そこで、コバルトシリサイド層の凝集及びスパイク欠陥の発生を防止するため、論文(Appl. Phys. Lett. 68, 1996, June)において、以下に説明するように、エピタキシャル成長によりコバルトシリサイド層を形成する方法が提案されている。すなわち、シリコンの結晶からなる半導体層の上に0.5~1.5nmの厚さを持つ $\text{SiO}_x$  ( $x < 2$ )膜を形成した後、該 $\text{SiO}_x$ 膜の上に超高真空下でコバルト膜を数nm程度の厚さに堆積し、その後、熱処理を行なうことにより、コバルト原子とシリコン原子とを反応させてコバルトシリサイド層をエピタキシャル成長させる技術(Oxide Mediated Epitaxy; OME技術)が提案されている。また、この技術によると、 $\text{SiO}_x$ 膜がコバルトシリサイド層の成長を促進する役割を果たすと説明されている。

しかしながら、エピタキシャル成長法によりコバルトシリサイド層を形成する前述の方法は、コバルト膜の堆積に超高真空装置が必要になり、該超高真空装置は通常のシリコンからなる半導体のプロセスでは用いられないので、量産のプロセスには適しないという問題がある。

また、前述の方法は、半導体層の上に、極めて薄い膜厚を持つと共に化学量論的組成よりもシリコンが過剰である $\text{SiO}_x$  ( $x < 2$ ) 膜を介してコバルト膜を形成しているため、 $\text{SiO}_x$  膜の膜質及び膜厚のばらつきに起因して種々の問題が発生する。すなわち、 $\text{SiO}_x$  膜にピンホールがあった場合、該ピンホールを介してコバルトとシリコンとが爆発的に反応してしまうので、コバルトシリサイド層をエピタキシャル成長させることができないという問題、及び $\text{SiO}_x$  膜の膜厚にばらつきがあった場合、膜厚の薄い部位においてコバルト原子とシリコン原子との反応が一気に進んでしまうので、コバルトシリサイド層を良好にエピタキシャル成長させることができないという問題がある。

#### 発明の開示

前記に鑑み、本発明は、凝集及びスパイク欠陥のない半導体金属間化合物層例えばコバルトシリサイド層を、半導体の量産プロセスにおいて通常用いられている、真空度領域において又は製造装置を用いて、安定してエピタキシャル成長させることができるようにすることを目的とする。

前記の目的を達成するため、本願発明者らは、エピタキシャル成長により形成されたコバルトシリサイド層において凝集及びスパイク欠陥が発生する原因について検討を行なった結果、以下に説明するような知見を得た。すなわち、コバルト原子とシリコン原子とが反応してコバルトシリサイドが形成されるメカニズムは、熱力学的に考えると、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応が進むことによる。ところが、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応パスにおいては、界面エネルギーが不安定で且つ不均一であるため、コバルトシリサイドが多結晶化し、これによって、凝集及びスパイク欠陥が発生するのである。

従って、シリコンを含む半導体層とコバルト膜との界面に $\text{CoSi}_2$  からなるシード層を形成しておいてからエピタキシャル成長させると、 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ の反応パスを経ることなく $\text{CoSi}_2$ を形成することができるという結論に達した。

そこで、シリコンを含む半導体層とコバルト膜との界面に $\text{CoSi}_2$  からなるシード層を

形成する方法について種々の検討を行なった結果、半導体層とコバルト膜との間に存在する酸素原子の濃度を制御すると、 $\text{CoSi}_2$  からなるシード層を形成することができることを見出した。具体的には、表面近傍の領域に酸素原子が分布している半導体層の上にコバルト膜を堆積すると、半導体層とコバルト膜との間に介在する酸素原子の量は、半導体層とコバルト膜との間に $\text{SiO}_2$  膜を介在させる場合に比べて低減するので、半導体層とコバルト膜との間に $\text{CoSi}_2$  からなるシード層を形成できることを見出した。

本発明は、前記の知見に基づいてなされたものであって、具体的には、本発明に係る第1の半導体装置の製造方法は、半導体層における表面近傍の領域に非金属元素を分布させる工程と、半導体層の上に金属膜を堆積する工程と、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させることにより、半導体層の表面部に半導体金属間化合物層をエピタキシャル成長させる工程とを備えている。

本発明に係る第1の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させておいてから半導体層の上に金属膜を堆積し、その後、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、半導体金属間化合物層の多結晶化を防止することができる。このため、本発明によると、凝集及びスパイク欠陥のない半導体金属間化合物層を、半導体の量産プロセスにおいて通常用いられている真空度領域で且つ低温において安定して形成することができる。

第1の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、化合物層に粒子エネルギー線を照射して化合物層に含まれる非金属元素を反跳により半導体層の表面近傍の領域に分布させる工程と、化合物層を除去する工程とを含むことが好ましい。

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができる。

また、第1の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、化合

物層に粒子エネルギー線を照射することにより、化合物層に含まれる非金属元素を反跳により半導体層の表面近傍の領域に分布させると共に化合物層を除去する工程とを含むことが好ましい。

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができると共に、化合物層を除去する工程が不要になる。

これらの場合、面心立方型の結晶構造を有する半導体層、面心立方型の結晶構造を有する半導体金属間化合物層及び非晶質の化合物層を用いることができる。

また、これらの場合、粒子エネルギー線は非金属元素からなることが好ましい。

このようにすると、粒子エネルギー線を構成する元素が半導体層に悪影響を与える事態を防止できる。

第1の半導体装置の製造方法において、面心立方型の結晶構造を有する半導体層及び面心立方型の結晶構造を有する半導体金属間化合物層を用いることができる。

第1の半導体装置の製造方法において、ダイヤモンド型又は閃亜鉛鉱型の結晶構造を有する半導体層及び弗化カルシウム型の半導体金属化合物層を用いることができる。

第1の半導体装置の製造方法において、半導体層はシリコン層であり、非金属元素は酸素であり、金属膜はコバルト膜であり、半導体金属間化合物層はコバルトシリサイド層であることが好ましい。

このようにすると、半導体層の表面に、熱的に安定で且つシート抵抗の低いコバルトシリサイド層を確実にエピタキシャル成長させることができる。

この場合、酸素の濃度は、 $4 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-2}$ であることが好ましい。

このようにすると、コバルト原子とシリコン原子との反応が良好に行なわれるため、シリコン層の表面にコバルトシリサイド層を良好にエピタキシャル成長させることができる。

また、この場合、非金属元素を分布させる工程は、シリコン層の上にシリコン酸化膜を形成した後、該シリコン酸化膜に粒子エネルギー線を照射して、シリコン酸化膜に含まれる酸素をシリコン層における表面近傍の領域に分布させる工程を含むことが好ましい。

このようにすると、シリコン層における表面近傍の領域に酸素を確実に分布させること

ができる。

本発明に係る第2の半導体装置の製造方法は、半導体層の上にゲート電極を形成する工程と、半導体層におけるゲート電極の両側に不純物層を形成する工程と、半導体層の表面近傍の領域に非金属元素を分布させる工程と、半導体層の上に金属膜を堆積する工程と、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させることにより、半導体層の表面に半導体金属間化合物層をエピタキシャル成長させる工程とを備えている。

本発明に係る第2の半導体装置の製造方法によると、ソース又はドレインとなる半導体層の表面に、熱的に安定で且つシート抵抗及びコンタクト抵抗が低いコバルトシリサイド層を形成することができると共に、ゲート電極の表面に良質なシリサイド層を形成することができるので、MOSFETを有する半導体集積回路装置の性能の向上を工程数の増加を招くことなく達成することができる。

第2の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、化合物層に粒子エネルギー線を照射して化合物層に含まれる非金属元素を反跳により半導体層の表面近傍の領域に分布させる工程と、化合物層を除去する工程とを含むことが好ましい。

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができる。

また、第2の半導体装置の製造方法において、半導体層はシリコン層であり、非金属元素は酸素であり、金属膜はコバルト膜であり、半導体金属間化合物層はコバルトシリサイド層であることが好ましい。

このようにすると、半導体層の表面に、熱的に安定で且つシート抵抗の低いコバルトシリサイド層を確実にエピタキシャル成長させることができる。

この場合、酸素の濃度は、 $4 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-2}$ であることが好ましい。

このようにすると、コバルト原子とシリコン原子との反応が良好に行なわれるため、シリコン層の表面にコバルトシリサイド層を良好にエピタキシャル成長させることができる。

図面の簡単な説明

図1(a)は第1の実施形態に係る半導体装置の平面構造を示す図である。

図1(b)は図1(a)におけるIb-Ib線の断面図である。

図2(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図3(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図4(a)及び(b)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図5(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図6(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図7(a)及び(b)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図8は低エネルギーSIMSにより酸素原子の濃度を測定した結果であって、酸素濃度とエピタキシャル成長の度合いとの関係を表わす特性図である。

## 発明を実施するための最良の形態

### (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置について、図1(a)及び(b)を参照しながら説明する。

図1(a)は第1の実施形態に係る半導体装置の平面構造を示し、図1(b)は図1(a)におけるIb-Ib線の断面構造を示している。

第1の実施形態に係る半導体装置は、CMOS、pMOS又はnMOSのいずれのタイプのトランジスタでもよいが、ここでは、n型MOSTランジスタについて説明する。

図1(a)及び(b)に示すように、n型のシリコン結晶からなり数 $\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板10の表面部には、n型のチャネルストッパー11が形成されていると共に該チャネルストッパー11の上には素子分離領域となるフィールド絶縁膜13が形成されており、半導体基板10におけるチャネルストッパー11に囲まれた領域にはp型ウェル領



域12が形成されている。

p型ウェル領域12の内部におけるソース又はドレインとなる領域には、LDD構造を構成するn型の低濃度不純物拡散層16及びn型の高濃度不純物拡散層18が形成されている。また、半導体基板10上におけるソース領域とドレイン領域との間にはシリコン酸化膜からなるゲート絶縁膜14を介して多結晶シリコン膜からなるゲート電極15が設けられており、該ゲート電極15の側面はシリコン酸化膜からなるサイドウォール17が形成されている。

第1の実施形態の特徴として、n型の高濃度不純物拡散層18の表面部にはコバルトダイシリサイド( $\text{CoSi}_2$ )からなるエピタキシャル成長層が形成されていると共に、ゲート電極15の表面部には、多結晶シリコンの個々の結晶粒に対してはエピタキシャルな関係を有する多結晶コバルトダイシリサイド層が、n型の高濃度不純物拡散層18の上にエピタキシャル成長層が形成されるのと同じ条件で同時に形成されている。n型の高濃度不純物拡散層18及びゲート電極15の各表面部に成長したシリサイド層の膜厚は例えば30～50nm程度である。このため、n型の高濃度不純物拡散層18及びゲート電極15の抵抗値が十分に低減しているので、第1の実施形態に係るMOSFETを有する半導体集積回路装置の性能が向上している。

半導体基板10の上には層間絶縁膜22が堆積されており、該層間絶縁膜22の上には例えばアルミニウム合金膜からなる金属配線24が形成されており、該金属配線24は保護絶縁膜25に覆われている。金属配線24は層間絶縁膜22に形成されたコンタクトホール23を介して、n型の高濃度不純物拡散層18の表面部に形成されているエピタキシャルシリサイド層21に接続されている。このため、n型の高濃度不純物拡散層18と金属配線24とのコンタクト抵抗が十分に低減している。

#### (第2の実施形態)

以下、本発明の第2の実施形態として、第1の実施形態に係る半導体装置の製造方法について、図2(a)～(c)、図3(a)～(c)及び図4(a)、(b)を参照しながら説明する。

まず、図2(a)に示すn型のシリコン結晶からなる半導体基板100の表面に薄い膜厚のシリコン酸化膜を形成した後、該シリコン酸化膜の上にシリコン窒化膜を堆積し、その後、周知のフォトリソグラフィ技術及びエッチング技術を用いてシリコン窒化膜に対してパターンニングを行なって、シリコン窒化膜におけるフィールド絶縁膜形成領域を除去す

る。

次に、半導体基板100にパターン化されたシリコン窒化膜をマスクにして、リン又はヒ素等のn型不純物を高濃度にイオン注入してチャネルストッパー101を形成した後、半導体基板100にボロン等のp型不純物をイオン注入してp型ウェル領域102を形成する。その後、半導体基板100に対して熱処理を行なって半導体基板100の表面部におけるシリコン窒化膜に覆われていない領域を酸化するLOCOS法を行なって、半導体基板100の表面部に例えば400nmの厚さを有するフィールド絶縁膜103を形成する。尚、この熱処理によって、チャネルストッパー101及びp型ウェル領域102は活性化される。その後、シリコン酸化膜及びシリコン窒化膜を除去する。

次に、例えば熱酸化法により半導体基板100の表面に全面に亘って例えば5～10nmの膜厚を有するシリコン酸化膜からなるゲート絶縁膜104を形成した後、例えばCVD法によりゲート絶縁膜104の上に多結晶シリコン膜を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて多結晶シリコン膜をパターンニングしてゲート電極105を形成する。

次に、半導体基板100にゲート電極105をマスクとしてヒ素又はリン等のn型不純物を低濃度にイオン注入して、図2(b)に示すように、n型の低濃度不純物層106を形成する。

次に、半導体基板100の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図2(c)に示すように、ゲート電極105の側面にサイドウォール107を形成する。その後、半導体基板100にゲート電極105及びサイドウォール107をマスクとしてヒ素又はリン等のn型不純物を高濃度にイオン注入して、n型の高濃度不純物層108を形成した後、半導体基板100に対して熱処理を施して、n型の低濃度不純物層106及び高濃度不純物層108を活性化する。

尚、サイドウォール107は、シリコン酸化膜に代えて、シリコン窒化膜を用いてもよい。また、活性化のための熱処理は、後述する第1回目及び第2回目の熱処理工程において行なってもよい。

次に、図3(a)に示すように、半導体基板100に、非金属元素イオン例えば酸素イオンを例えば100～500eVの低い加速エネルギーでイオン注入して、図3(b)に示すように、n型の高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の

領域に、酸素原子が基板面方向に分布してなる酸素原子分布領域109を形成する。尚、酸素原子分布領域109の形成方法としては、酸素イオンの注入に代えて、プラズマドーピングにより酸素原子を分布させてもよい。

酸素原子分布領域109を構成する酸素原子を分布させる深さとしては、n型の高濃度不純物層108又はゲート電極105の表面から0.5～5nmの範囲が好ましく、酸素原子分布領域109を構成する酸素原子の濃度としては、 $4 \times 10^{14} \text{cm}^{-2} \sim 4 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい。これらの理由については後述する。

次に、チャンバーの内部が $1 \times 10^5 \sim 1 \times 10^7 \text{ Pa}$ の真空度に保持されたスパッタ装置内においてスパッタ法を行なうことにより、図3(c)に示すように、半導体基板100の上に全面に亘って金属膜例えばコバルト膜110を堆積する。

コバルト膜110とn型の高濃度不純物層108又はゲート電極105との間には酸素原子分布領域109が形成されており、酸素原子はn型の高濃度不純物層108又はゲート電極105の表面から0.5～5nmの深さの範囲に分布している。このため、コバルト膜110を構成するコバルト原子の半導体基板100中への拡散は酸素原子分布領域109によって抑制される。また、コバルト膜110を構成するコバルト原子からは、酸素原子分布領域109の下側に存在するシリコンの結晶格子が見えるため、酸素原子分布領域109の上側の領域がイオン注入又はプラズマドーピングなどによって乱れているとしても、コバルト原子は半導体基板100における酸素原子分布領域109の下側領域の結晶構造の影響を受けながら反応するので、n型の高濃度不純物層108とコバルト膜110との界面に、シリコンの結晶と格子定数が近いコバルトダイシリサイド( $\text{CoSi}_2$ )の核(図示は省略している。)が形成される。また、ゲート電極105は多結晶シリコンからなるが、個々の結晶粒に対してはn型の高濃度不純物層108におけるコバルト原子とシリコン原子との反応と同様にコバルトダイシリサイド( $\text{CoSi}_2$ )の核が形成される。

次に、半導体基板100を500℃の温度下で10秒間保持する第1回目の熱処理(RT A: Rapid Thermal Anneal)を行なう。このようにすると、コバルト膜110を構成するコバルト原子がコバルトダイシリサイドの核を介してシリコン領域に拡散していくと共にコバルト原子がシリコン原子と反応するため、図3(c)に示すように、n型の高濃度不純物層108及びゲート電極105の表面部に、既に形成されているコバルトダイシリサイドの核の結晶構造と対応するコバルトダイシリサイド( $\text{CoSi}_2$ )のエピタキシャル成長層(以下、第1

のエピタキシャルシリサイド層と称する。)111Aが形成される。

尚、コバルト膜110の膜厚が5nmの場合には第1のエピタキシャルシリサイド層111Aの膜厚は17~18nm程度であり、コバルト膜110の膜厚が10nmの場合には第1のエピタキシャルシリサイド層111Aの膜厚は34~36nm程度である。

また、半導体基板100の結晶構造が面心立方型であるときには、第1のエピタキシャルシリサイド層111Aの結晶構造も面心立方型となり、半導体基板100の結晶構造がダイヤモンド型又は閃亜鉛鉱型であるときには、第1のエピタキシャルシリサイド層111Aの結晶構造は弗化カルシウム型(螢石)となる。

前述のように、n型の高濃度不純物層108及びゲート電極105の表面近傍の領域には、酸素原子分布領域109が表面から0.5~5nmの深さに形成されており、コバルト膜110を構成するコバルト原子とn型の高濃度不純物層108又はゲート電極105を構成するシリコン原子とが直接に接していないため、コバルト原子とシリコン原子とは一気に反応しないので、第1のエピタキシャルシリサイド層111Aが凝集したり又は多結晶化したりする事態を防止できる。

ところで、酸素原子分布領域109を構成する酸素原子の濃度が $4 \times 10^{14} \text{cm}^{-2}$ よりも低いと、コバルト原子とシリコン原子とが一気に反応して、第1のエピタキシャルシリサイド層111Aが凝集したり又は多結晶化したりする恐れがあり、また、酸素原子の濃度が $4 \times 10^{15} \text{cm}^{-2}$ よりも高いと、コバルト原子と半導体基板100の結晶格子との距離が大きくなるため、コバルト原子とシリコン原子との反応が良好に行なわれない恐れがある。従って、酸素原子分布領域109を構成する酸素原子の濃度としては、 $4 \times 10^{14} \text{cm}^{-2} \sim 4 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい。

尚、第1のエピタキシャルシリサイド層111Aにおいては、すべての層がコバルトダイシリサイド( $\text{CoSi}_2$ )からなってもよいし、下層(シリコン層との界面側)がコバルトダイシリサイド( $\text{CoSi}_2$ )であると共に上層(コバルト膜110側)がコバルトシリサイド( $\text{CoSi}$ )であってもよい。第2の実施形態の第1のエピタキシャルシリサイド層111Aにおいては、下層がコバルトダイシリサイドであり且つ上層がコバルトシリサイドである。少なくともシリコン層との界面にコバルトダイシリサイド層が形成されていると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

次に、図4(a)に示すように、第1回目の熱処理で反応しなかったコバルト膜110を、

例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板100を800℃の温度下で10秒間保持する第2回目の熱処理(RTA)を行なう。このようにすると、第1のエピタキシャルシリサイド層111Aの上層のコバルトシリサイドも成長してコバルトダイシリサイドになるので、第1のエピタキシャルシリサイド層111Aは、すべての層がコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bに変化する。

尚、第1のエピタキシャルシリサイド層111Aのすべての層がコバルトダイシリサイド( $\text{CoSi}_2$ )からなる場合には、第2回目の熱処理を省略することができる。この場合には、以下の説明における第2のエピタキシャルシリサイド層111Bを第1のエピタキシャルシリサイド層111Aと読み替える。

次に、図4(b)に示すように、例えばTEOS(テトラエトキシシラン)を用いるCVD法により、半導体基板100の上に全面に亘ってシリコン酸化膜からなる層間絶縁膜112を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて層間絶縁膜112にコンタクトホール113を形成する。

次に、例えばスパッタ法により半導体基板100の上に全面に亘って例えばアルミニウム合金膜をコンタクトホール113に埋め込まれるように堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いてアルミニウム合金膜をパターニングすることにより金属配線114を形成する。次に、例えばプラズマCVD法を用いて金属配線114の上に、例えばシリコン酸化膜とシリコン窒化膜との積層体からなる保護絶縁膜115を堆積すると、第1の実施形態に係る半導体装置が得られる。

尚、金属配線114としては、アルミニウム合金膜に代えて、アルミニウム合金膜と窒化チタン膜又はタングステン膜等との積層膜を用いてもよい。

第2の実施形態によると、n型の高濃度不純物層108及びゲート電極105の表面部にはコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bが形成されているため、n型の高濃度不純物層108及びゲート電極105のシート抵抗を $5\Omega/\square$ 程度に低減できるので、第2のエピタキシャルシリサイド層111Bが形成されていない場合のシート抵抗( $100\Omega/\square$ )に比べて大きく低減できると共に、コンタクト抵抗も低減できるので、MOSFETを有する半導体集積回路装置の性能を向上させることができる。

また、第2の実施形態によると、n型の高濃度不純物層108の表面近傍の領域及び

ゲート電極105の表面近傍の領域に非金属元素例えば酸素原子109を分布させておいてから金属膜例えばコバルト膜110を堆積し、その後、第1回目及び第2回目の熱処理を行なって、n型の高濃度不純物層108の表面部及びゲート電極105の表面部にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bを形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第2のエピタキシャルシリサイド層111Bが凝集したり多結晶化したりする事態を回避できると共に第2のエピタキシャルシリサイド層111Bにスパイク欠陥が形成される事態を回避することができる。このため、エピタキシャルシリサイド層の凝集又は多結晶化に起因する断線を防止できると共に、スパイク欠陥に起因する接合リークを防止することができる。

さらに、第2の実施形態によると、n型の高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の領域に酸素原子109を分布させた状態で、つまりn型の高濃度不純物層108及びゲート電極105とコバルト膜110との間に低濃度の酸素原子109が介在した状態で第1回目の熱処理を行なうため、該第1回目の熱処理を低温例えば500℃の温度下で行なうことができる。

尚、第2の実施形態においては、n型の高濃度不純物層108の表面部及びゲート電極105の表面部の両方にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bを形成したが、これに代えて、n型の高濃度不純物層108の表面部及びゲート電極105の表面部のうちの一方にのみ第2のエピタキシャルシリサイド層111Bを形成してもよい。

また、第2の実施形態においては、n型の高濃度不純物層108の表面近傍の領域及びゲート電極105の表面近傍の領域に非金属元素として酸素原子を分布させたが、酸素原子に代えて、窒素原子又はフッ素原子等を分布させてもよい。

また、第2の実施形態においては、金属膜としてコバルト膜110を堆積して、コバルトダイシリサイドからなる第2のエピタキシャルシリサイド層111Bを形成したが、コバルト膜110に代えて、ニッケル又は鉄等の他の遷移金属からなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

### (第3の実施形態)

以下、本発明の第3の実施形態として、第1の実施形態に係る半導体装置の製造方

法について、図5(a)～(c)、図6(a)～(c)及び図7(a)、(b)を参照しながら説明する。

まず、第2の実施形態と同様にして、図5(a)に示すように、n型のシリコン結晶からなる半導体基板200にボロン等のp型不純物をイオン注入してp型ウェル領域202を形成した後、LOCOS法により半導体基板200の表面部に例えば400nmの厚さを有するフィールド絶縁膜203を形成する。次に、半導体基板200の表面に全面に亘って例えば5～10nmの膜厚を有するシリコン酸化膜からなるゲート絶縁膜204を形成した後、例えばCVD法によりゲート絶縁膜204の上に多結晶シリコン膜を堆積した後、該多結晶シリコン膜をパターニングしてゲート電極205を形成する。

次に、半導体基板200にゲート電極205をマスクとしてヒ素又はリン等のn型不純物を低濃度にイオン注入して、図5(b)に示すように、n型の低濃度不純物層206を形成する。

次に、半導体基板200の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図5(c)に示すように、ゲート電極205の側面にサイドウォール207を形成した後、半導体基板200にゲート電極205及びサイドウォール207をマスクとしてヒ素又はリン等のn型不純物を高濃度にイオン注入して、n型の高濃度不純物層208を形成した後、半導体基板200に対して熱処理を施して、n型の低濃度不純物層206及び高濃度不純物層208を活性化する。

次に、図6(a)に示すように、半導体基板200上に全面に亘って、半導体元素と非金属膜からなり10nm程度の厚さを有する化合物層例えばシリコン酸化膜209を形成する。

シリコン酸化膜209の形成方法としては、半導体基板200の表面に酸化力を有する溶液(例えば、アンモニア、過酸化水素水及び純水からなる混合溶液)を供給していわゆるChemical Oxide( $\text{SiO}_2$ )膜を形成する第1の方法、半導体基板200の表面を酸素プラズマに曝して10nm程度の厚さを有するシリコン酸化膜を形成する第2の方法、又は、半導体基板200を酸化性雰囲気中で750～900℃に加熱して10nm程度の厚さを有する熱酸化膜を形成する第3の方法等が挙げられる。

次に、図6(b)に示すように、シリコン酸化膜209に対して非金属元素からなる粒子エネルギー線、例えばArイオン線を低エネルギーで照射する。このようにすると、粒子エネルギー線の反跳(Recoil)により、図6(c)に示すように、シリコン酸化膜209を構成す

る酸素原子が、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に基板面方向に分布して酸素原子分布領域210が形成される。この場合、粒子エネルギー線の照射により、シリコン酸化膜209を構成する酸素原子がスパッタされても差し支えない。

また、酸素原子分布領域210を構成する酸素原子を分布させる深さとしては、n型の高濃度不純物層208又はゲート電極205の表面から0.5～5nmの範囲が好ましく、酸素原子分布領域210を構成する酸素原子の濃度としては、 $4 \times 10^{14} \text{cm}^{-2} \sim 4 \times 10^{15} \text{cm}^{-2}$ の範囲が好ましい。これらの理由については第2の実施形態と同様である。

尚、粒子エネルギー線の照射としてArイオンの照射を行なう場合、Arイオンの加速エネルギーが100eVであれば、酸素原子分布領域210における酸素原子の分布のピークはシリコン領域の表面から1nmの深さになり、Arイオンの加速エネルギーが300eVであれば、酸素原子の分布のピークはシリコン領域の表面から2nmの深さになる。

次に、図7(a)に示すように、シリコン酸化膜209を除去した後、チャンバーの内部が $1 \times 10^5 \sim 1 \times 10^7 \text{ Pa}$ の真空度に保持されたスパッタ装置内においてスパッタ法を行なうことにより、半導体基板200の上に全面に亘って金属膜例えばコバルト膜211を堆積する。このようにすると、第2の実施形態と同様、コバルト膜211を構成するコバルト原子がシリコンの結晶格子に組み込まれるため、n型の高濃度不純物層208とコバルト膜211との界面にコバルトダイシリサイド( $\text{CoSi}_2$ )の核が形成されると共に、ゲート電極205の個々の結晶粒に対してもコバルトダイシリサイド( $\text{CoSi}_2$ )の核が形成される。

次に、半導体基板200を500℃の温度下で10秒間保持する第1回目の熱処理(RTA)を行なって、n型の高濃度不純物層208及びゲート電極205の表面部に、第1のエピタキシャルシリサイド層212Aを形成する。

第3の実施形態においては、n型の高濃度不純物層208及びゲート電極205の表面近傍の領域には、表面から0.5～5nmの深さに酸素原子分布領域210が形成されているため、コバルト原子とシリコン原子とは一気に反応しないので、第1のエピタキシャルシリサイド層212Aが凝集したり又は多結晶化したりする事態を防止できる。

ここで、酸素原子分布領域210を構成する酸素原子の濃度を測定した結果について説明する。

図8は、低エネルギーSIMSにより、酸素原子の濃度を測定した結果を示し、横軸は



酸素濃度(単位:原子数/cm<sup>2</sup>)を表わし、縦軸はエピタキシャル成長の度合いを表わしている。エピタキシャル成長の度合いは、強度で表わすことができ、この強度の値が大きいほどエピタキシャル成長の度合いが大きいといえる。ここで、縦軸はCoSi<sub>2</sub> (400)のピーク強度を表わしている。

図8に示すデータから、半導体基板200の表面近傍に酸素をどの程度の濃度で分布させれば、コバルトダイシリサイド(CoSi<sub>2</sub>)からなる第1のエピタキシャルシリサイド層212Aを形成できるかが分かる。また、図8から、コバルトダイシリサイドが実用上、耐熱性の問題がなくエピタキシャル成長するのは、縦軸の値が100以上のときである。すなわち、縦軸の値が100以上であれば、800℃程度の高温でもコバルトダイシリサイドは耐熱性を持ち、高温でも凝集する事態を防止できる。縦軸の値が100以上となるのは、酸素の濃度が $4 \times 10^{14} \text{cm}^{-2} \sim 4 \times 10^{15} \text{cm}^{-2} \text{atoms/cm}^2$ の範囲である。

従って、酸素原子分布領域210における酸素原子の濃度を $4 \times 10^{14} \text{cm}^{-2} \sim 4 \times 10^{15} \text{cm}^{-2} \text{atoms/cm}^2$ に制御すると、コバルトダイシリサイド(CoSi<sub>2</sub>)の凝集を防止して、第1のエピタキシャルシリサイド層212Aを良好に成長できることが分かる。

尚、第1のエピタキシャルシリサイド層212Aにおいては、すべての層がコバルトダイシリサイド(CoSi<sub>2</sub>)からなっているとしてもよいし、下層(シリコン層との界面側)がコバルトダイシリサイド(CoSi<sub>2</sub>)であると共に上層(コバルト膜110側)がコバルトシリサイド(CoSi)であってもよい。このようにすると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

次に、図7(b)に示すように、第1回目の熱処理で反応しなかったコバルト膜211を、例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板200を800℃の温度下で10秒間保持する第2回目の熱処理(RTA)を行なって、第1のエピタキシャルシリサイド層212Aを、すべての層がコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bに変化させる。

尚、第1のエピタキシャルシリサイド層212Aのすべての層がコバルトダイシリサイドからなる場合には、第2回目の熱処理を省略することができる。この場合には、以下の説明における第2のエピタキシャルシリサイド層212Bを第1のエピタキシャルシリサイド層212Aと読み替える。

次に、図示は省略しているが、第2の実施形態と同様にして、層間絶縁膜、コンタクト

ホール、金属配線及び保護絶縁膜を形成すると、第1の実施形態に係る半導体装置が得られる。

第3の実施形態によると、n型の高濃度不純物層208及びゲート電極205の表面部にはコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bが形成されているため、n型の高濃度不純物層208及びゲート電極205のシート抵抗を $5\Omega/\square$ 程度に低減できると共にコンタクト抵抗も低減できるので、MOSFETを有する半導体集積回路装置の性能を向上させることができる。

また、第3の実施形態によると、半導体基板200の上にシリコン酸化膜209を堆積しておいてから粒子エネルギー線を照射するため、シリコン酸化膜209を構成する酸素原子210をn型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に確実に分布させることができる。

また、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に非金属元素例えば酸素原子210を分布させておいてから金属膜例えばコバルト膜211を堆積し、その後、第1回目及び第2回目の熱処理を行なうと、n型の高濃度不純物層208の表面部及びゲート電極205の表面部にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212B形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第2のエピタキシャルシリサイド層212Bが凝集したり多結晶化したりする事態を回避できると共に第2のエピタキシャルシリサイド層212Bにスパイク欠陥が形成される事態を回避することができる。このため、エピタキシャルシリサイド層の凝集又は多結晶化に起因する断線を防止できると共に、スパイク欠陥に起因する接合リークを防止することができる。

さらに、第3の実施形態によると、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に酸素原子210を分布させた状態で第1回目の熱処理を行なうため、該第1回目の熱処理を低温例えば $500^{\circ}\text{C}$ の温度下で行なうことができる。

尚、第3の実施形態においては、n型の高濃度不純物層208の表面部及びゲート電極205の表面部の両方にコバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bを形成したが、これに代えて、n型の高濃度不純物層208の表面部及びゲート電極205の表面部のうちの一方にのみ第2のエピタキシャルシリサイド層212Bを形成

してもよい。

また、第3の実施形態においては、半導体基板200の上にシリコン酸化膜209を形成したが、これに代えて、シリコン窒化膜又はシリコン弗化膜を堆積して、窒素原子又はフッ素原子を、n型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させてもよい。

また、第3の実施形態においては、金属膜としてコバルト膜211を堆積して、コバルトダイシリサイドからなる第2のエピタキシャルシリサイド層212Bを形成したが、コバルト膜211に代えて、ニッケル又は鉄等の他の遷移金属からなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

#### (第3の実施形態の変形例)

第3の実施形態においては、シリコン酸化膜209に対して非金属元素からなる粒子エネルギー線例えばArイオンを照射して、酸素原子210をn型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させた後、シリコン酸化膜209を除去したが、第3の実施形態の変形例においては、粒子エネルギー線に用いる粒子例えばArイオンの質量及びエネルギー量を制御して、酸素原子210をn型の高濃度不純物層208の表面近傍の領域及びゲート電極205の表面近傍の領域に分布させる際に、粒子エネルギー線の照射によってシリコン酸化膜209を除去する。このようにすると、シリコン酸化膜209を除去する工程を省略することができる。

#### 産業上の利用の可能性

本発明に係る第1又は第2の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させた状態で熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、エピタキシャル半導体金属間化合物層の多結晶化を防止することができる。

従って、本発明によると、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層を、半導体の量産プロセスにおいて通常用いられている真空度領域で且つ低温において安定して形成することができる。

## 請 求 の 範 囲

1. 半導体層における表面近傍の領域に非金属元素を分布させる工程と、  
前記半導体層の上に金属膜を堆積する工程と、  
前記金属膜に熱処理を施して前記半導体層を構成する元素と前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面に半導体金属間化合物層をエピタキシャル成長させる工程とを備えていることを特徴とする半導体装置の製造方法。
2. 前記非金属元素を分布させる工程は、  
前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、  
前記化合物層に粒子エネルギー線を照射して前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させる工程と、  
前記化合物層を除去する工程とを含むことを特徴とする請求項1に記載の半導体装置の製造方法。
3. 前記非金属元素を分布させる工程は、  
前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、  
前記化合物層に粒子エネルギー線を照射することにより、前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させると共に前記化合物層を除去する工程とを含むことを特徴とする請求項1に記載の半導体装置の製造方法。
4. 前記半導体層は面心立方型の結晶構造を有しており、  
前記半導体金属間化合物層は面心立方型の結晶構造を有しており、  
前記化合物層は非晶質であることを特徴とする請求項2又は3に記載の半導体装置の製造方法。
5. 前記粒子エネルギー線は非金属元素からなることを特徴とする請求項2又は3に記載の半導体装置の製造方法。
6. 前記半導体層は面心立方型の結晶構造を有しており、  
前記半導体金属間化合物層は面心立方型の結晶構造を有していることを特徴とする請求項1に記載の半導体装置の製造方法。

7. 前記半導体層はダイヤモンド型又は閃亜鉛鉱型の結晶構造を有しており、  
前記半導体金属化合物層は弗化カルシウム型の結晶構造を有していることを特徴とする請求項1に記載の半導体装置の製造方法。
8. 前記半導体層はシリコン層であり、  
前記非金属元素は酸素であり、  
前記金属膜はコバルト膜であり、  
前記半導体金属間化合物層はコバルトシリサイド層であることを特徴とする請求項1に記載の半導体装置の製造方法。
9. 前記酸素の濃度は、 $4 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-2}$ であることを特徴とする請求項8に記載の半導体装置の製造方法。
10. 前記非金属元素を分布させる工程は、  
前記シリコン層の上にシリコン酸化膜を形成した後、前記シリコン酸化膜に粒子エネルギー線を照射して、前記シリコン酸化膜に含まれる酸素を前記シリコン層における表面近傍の領域に分布させる工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。
11. 半導体層の上にゲート電極を形成する工程と、  
前記半導体層における前記ゲート電極の両側に不純物層を形成する工程と、  
前記半導体層の表面近傍の領域に非金属元素を分布させる工程と、  
前記半導体層の上に金属膜を堆積する工程と、  
前記金属膜に熱処理を施して前記半導体層を構成する元素と前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面に半導体金属間化合物層をエピタキシャル成長させる工程とを備えていることを特徴とする半導体装置の製造方法。
12. 前記非金属元素を分布させる工程は、  
前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、  
前記化合物層に粒子エネルギー線を照射して前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させる工程と、  
前記化合物層を除去する工程とを含むことを特徴とする請求項11に記載の半導体装置の製造方法。

13. 前記半導体層はシリコン層であり、

前記非金属元素は酸素であり、

前記金属膜はコバルト膜であり、

前記半導体金属間化合物層はコバルトシリサイド層であることを特徴とする請求項11に記載の半導体装置の製造方法。

14. 前記酸素の濃度は、 $4 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-2}$ であることを特徴とする請求項13に記載の半導体装置の製造方法。

1/8

Fig. 1(a)

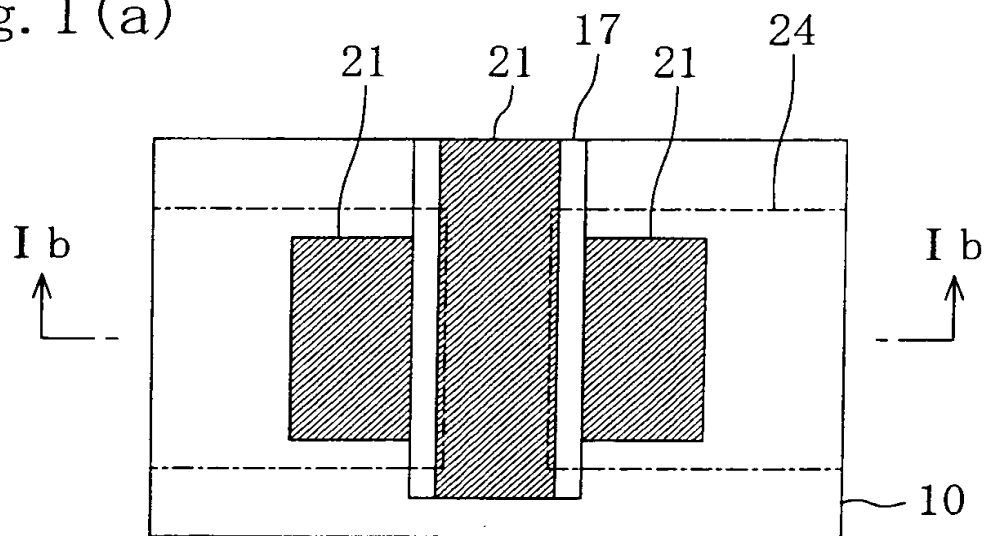
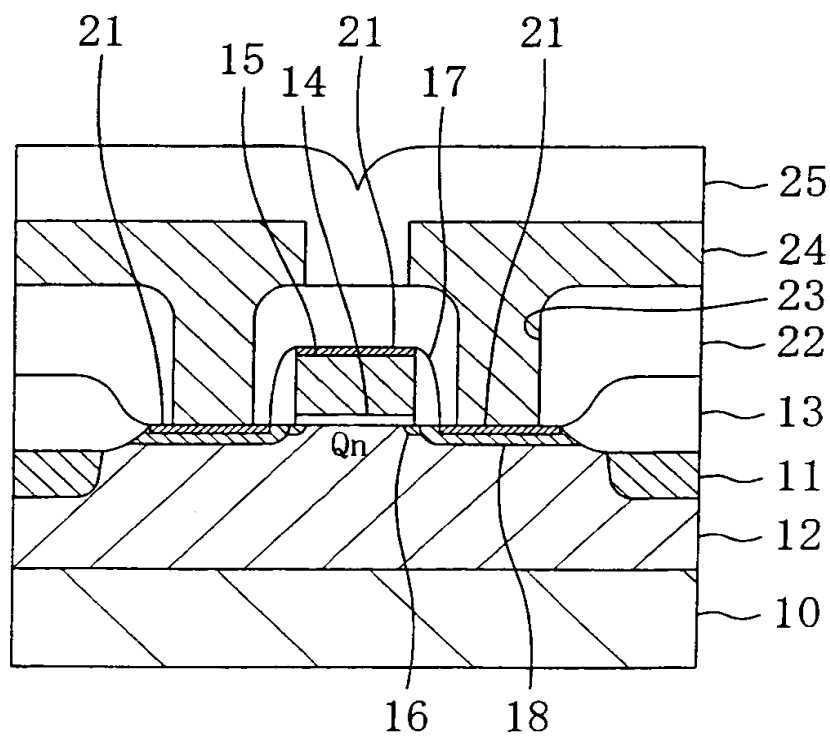


Fig. 1(b)







2/8

Fig. 2(a)

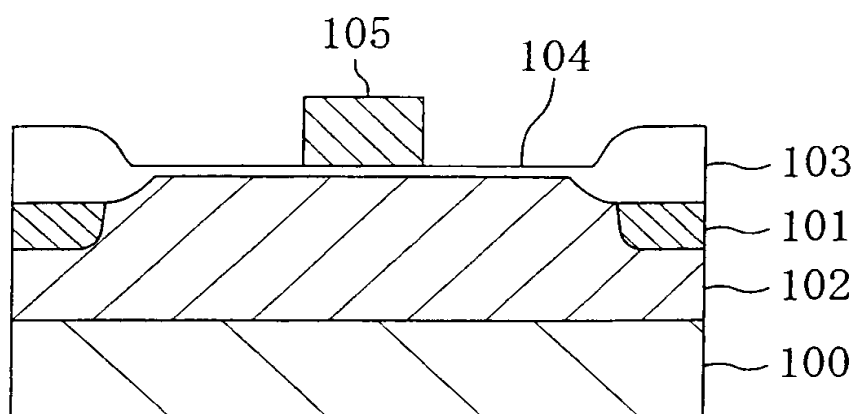


Fig. 2(b)

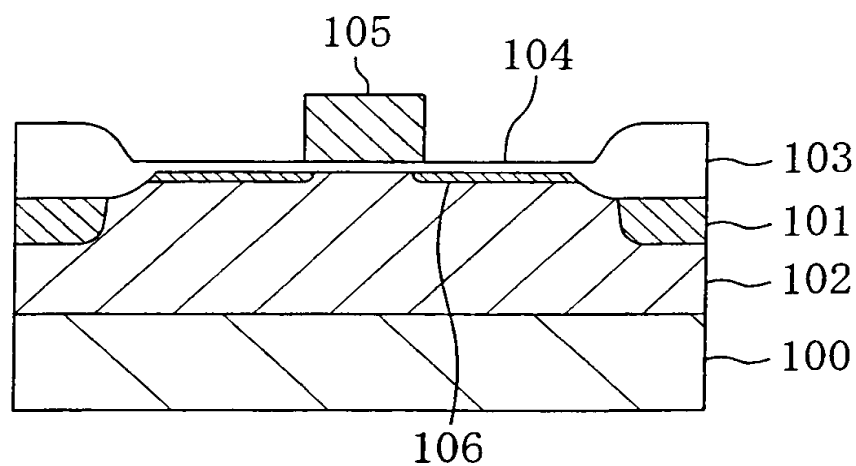
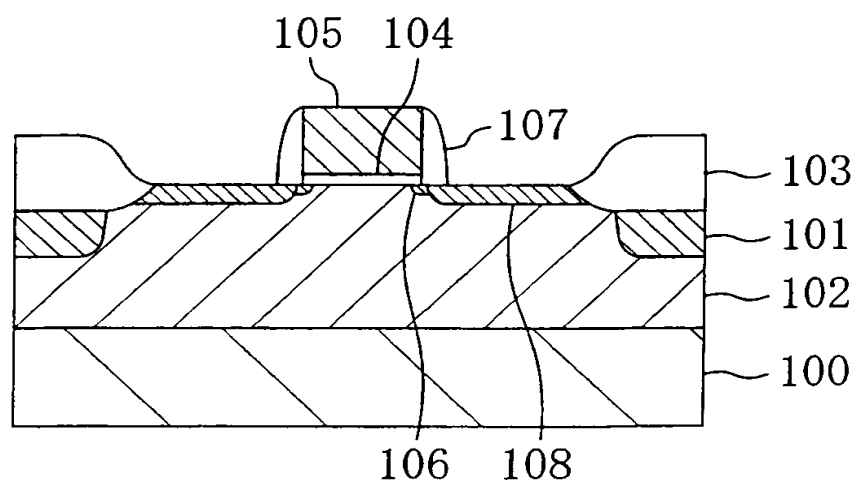


Fig. 2(c)





3/8

Fig. 3(a)

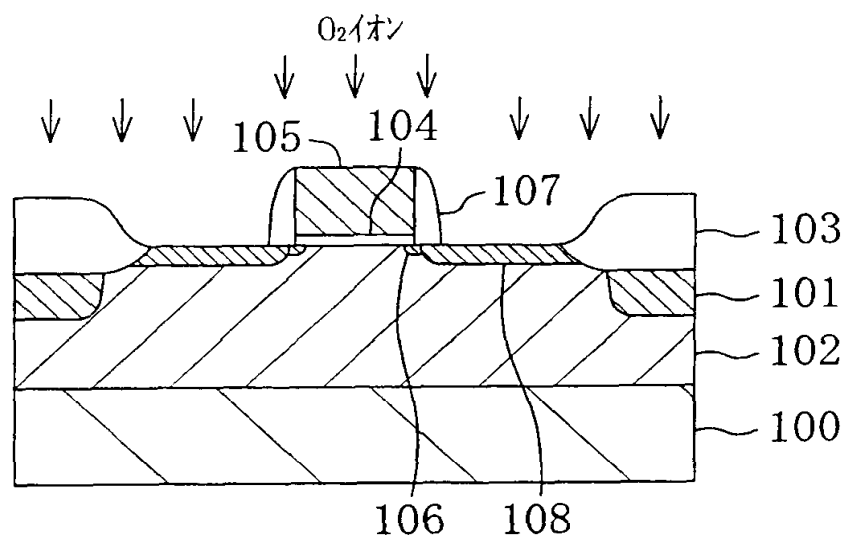


Fig. 3(b)

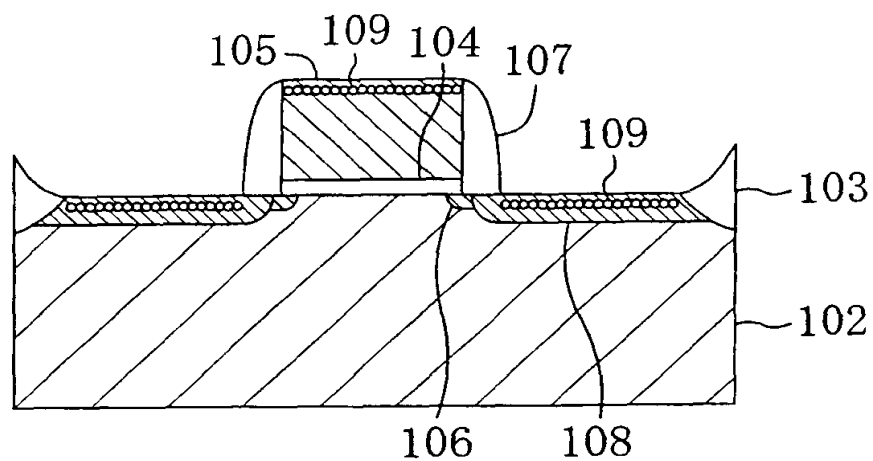


Fig. 3(c)

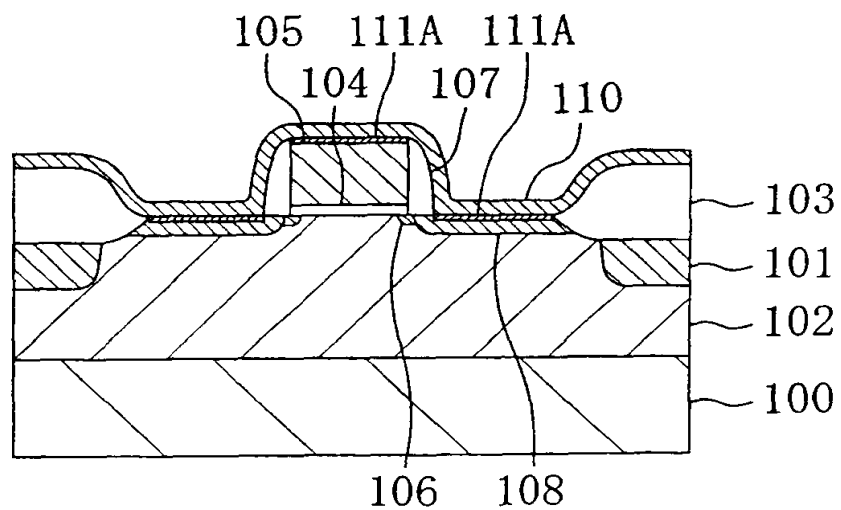




Fig. 4 (a)

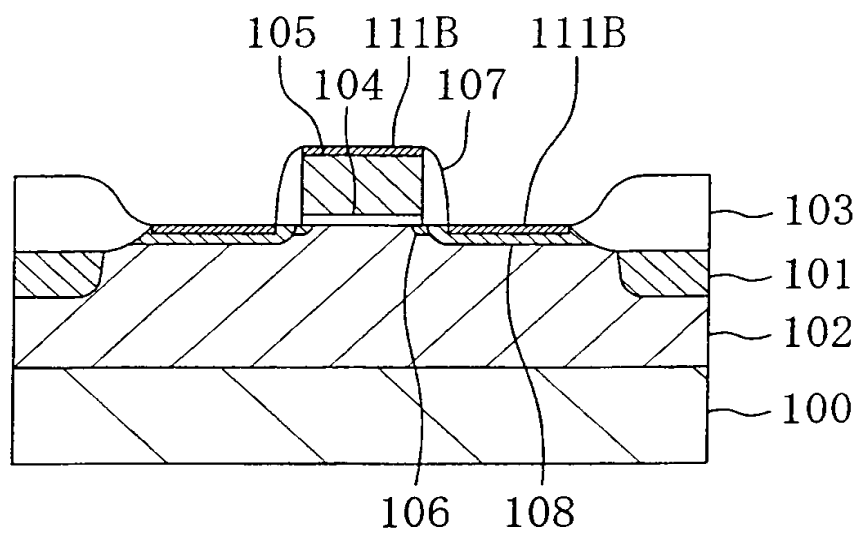
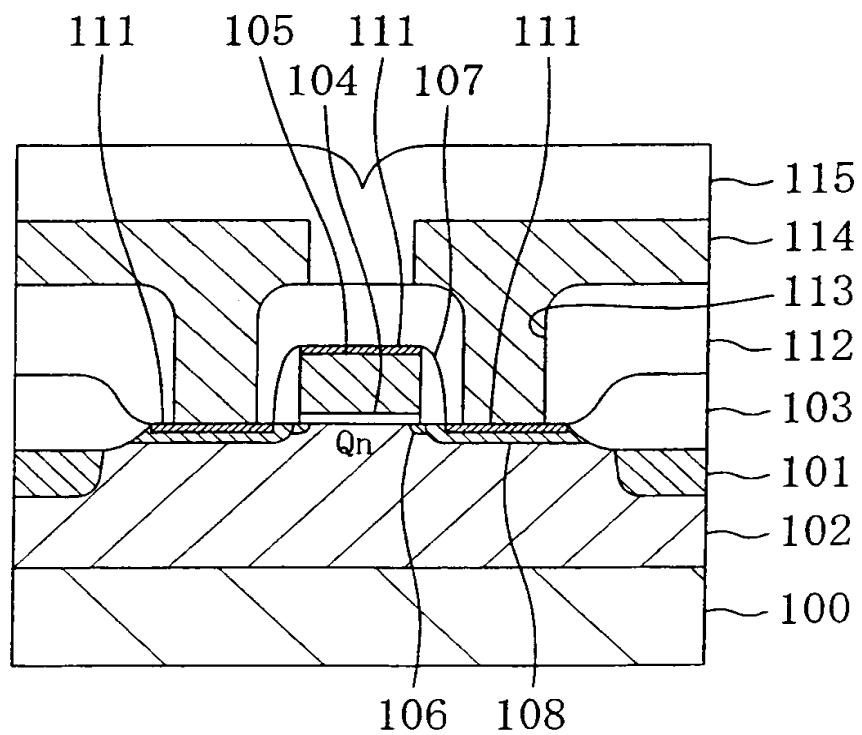


Fig. 4 (b)





5/8

Fig. 5(a)

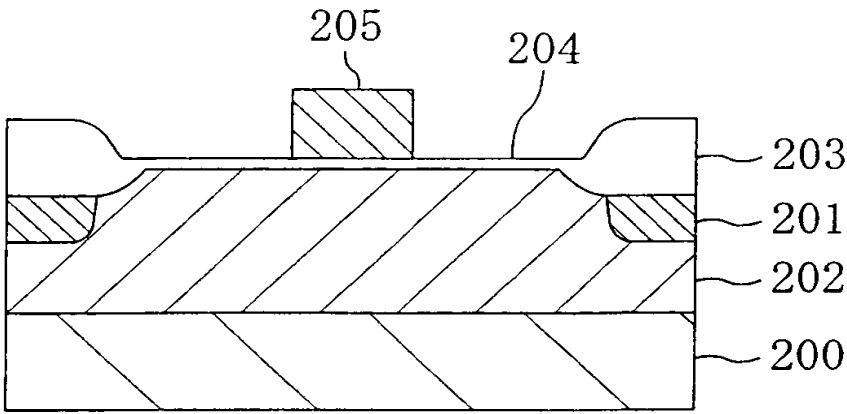


Fig. 5(b)

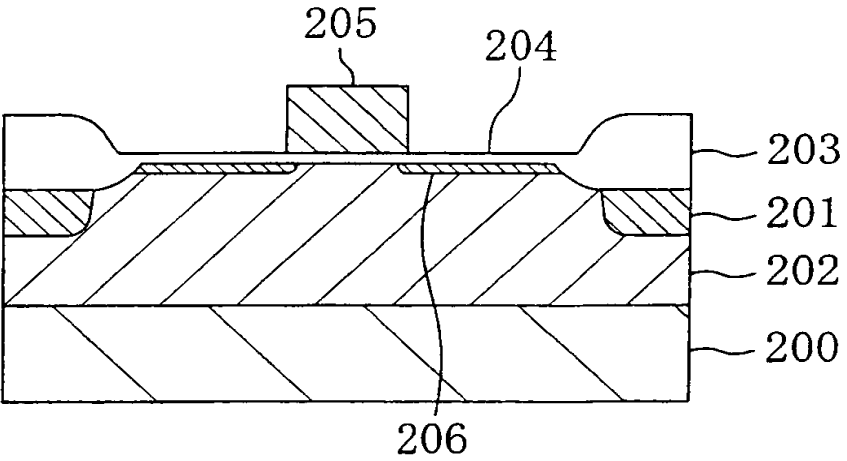
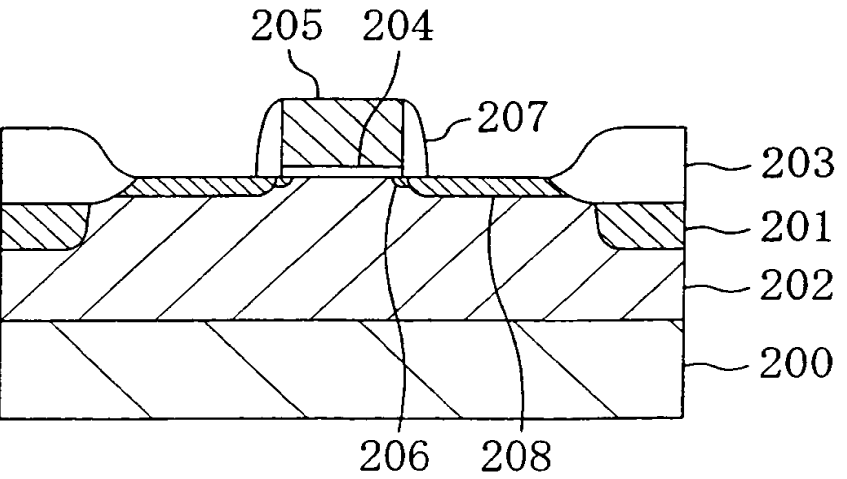


Fig. 5(c)







6/8

Fig. 6(a)

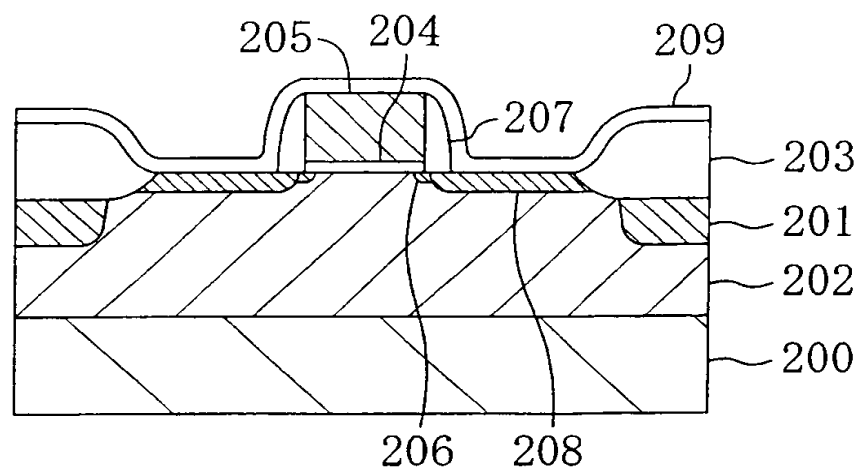


Fig. 6(b)

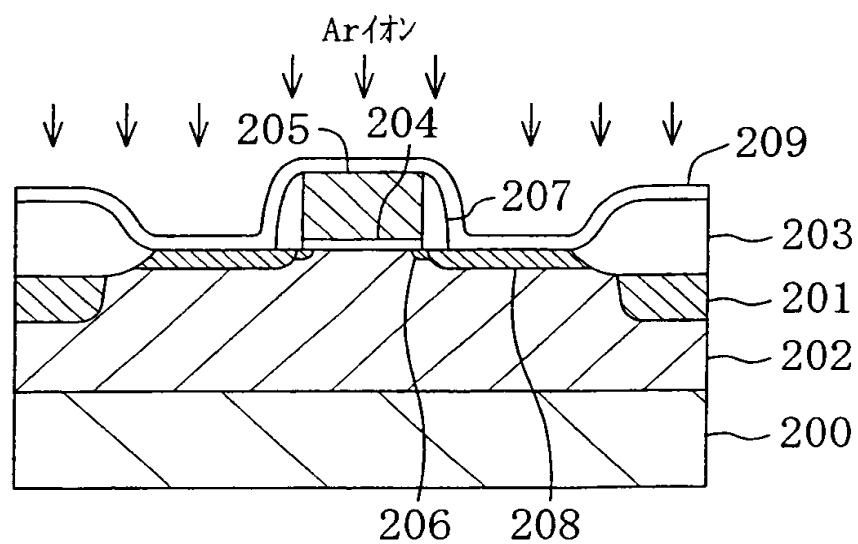


Fig. 6(c)

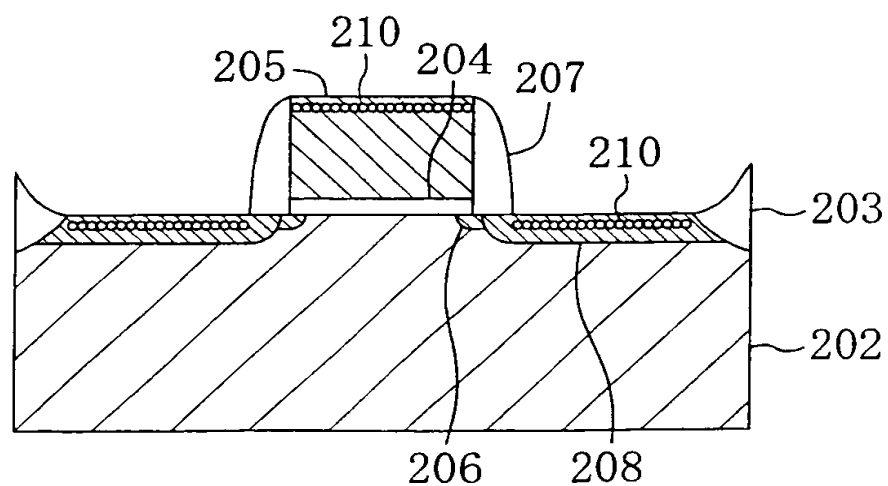




Fig. 7 (a)

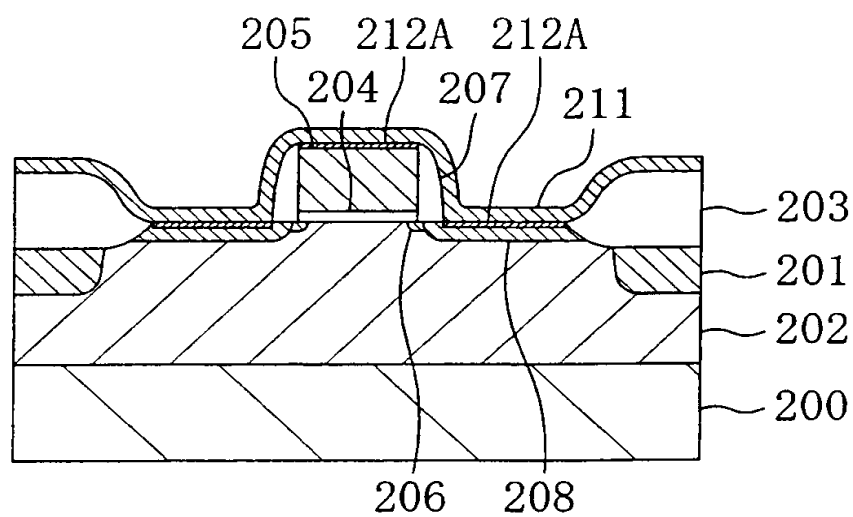
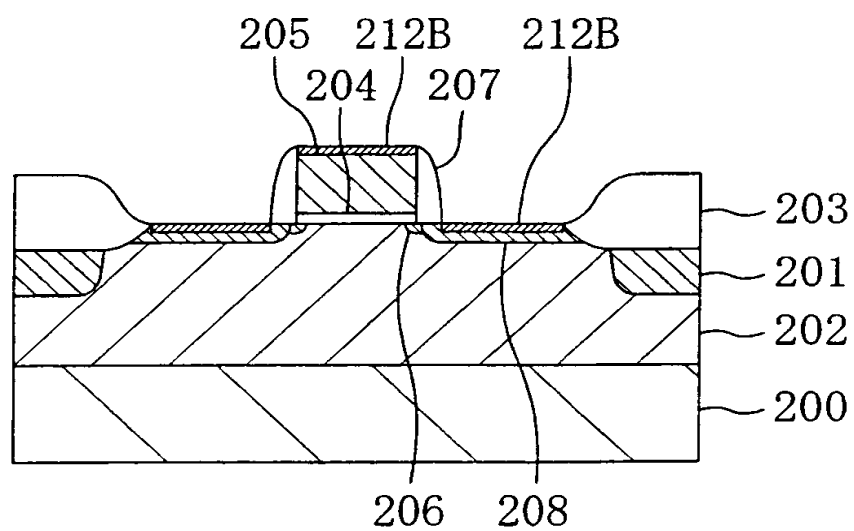


Fig. 7 (b)



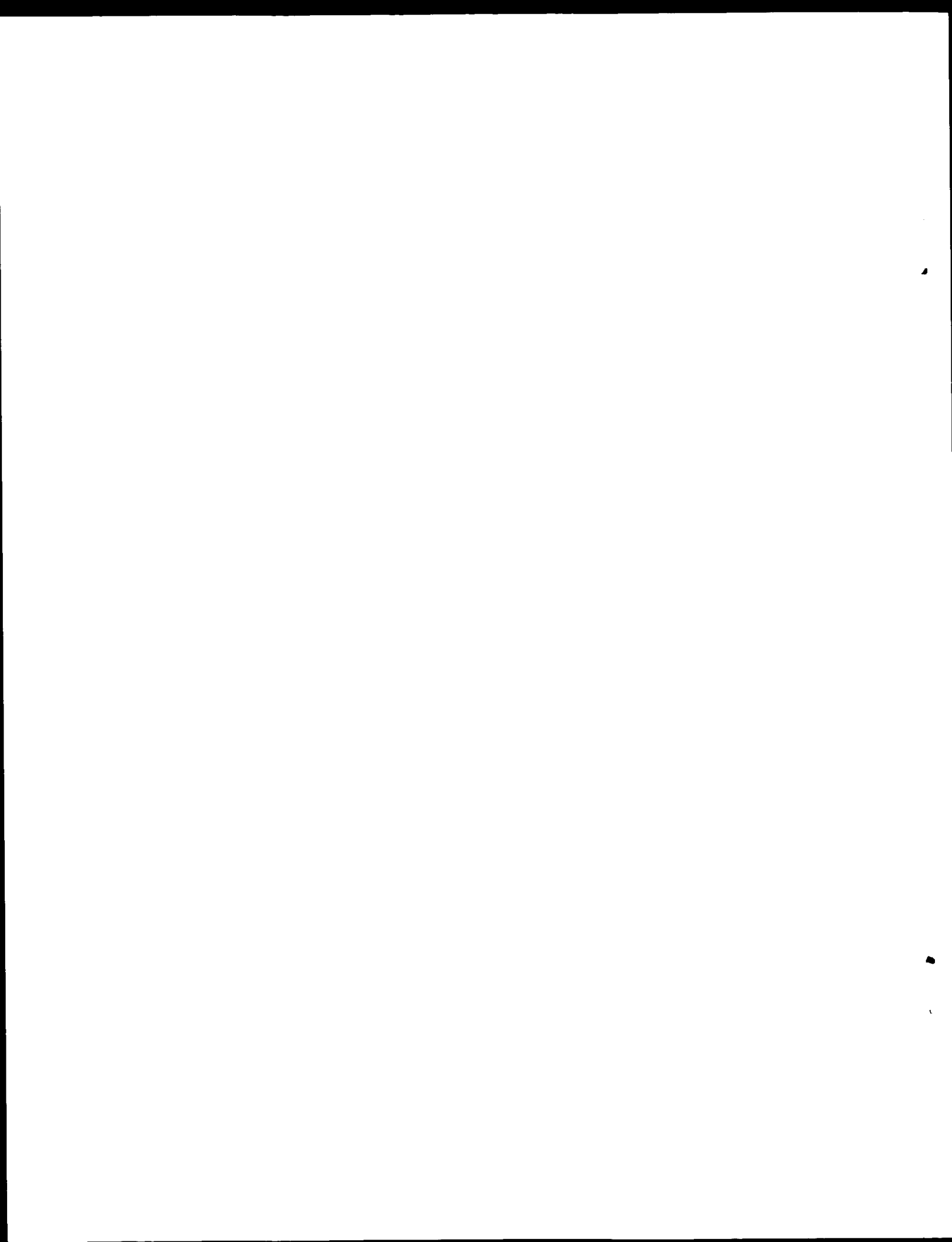
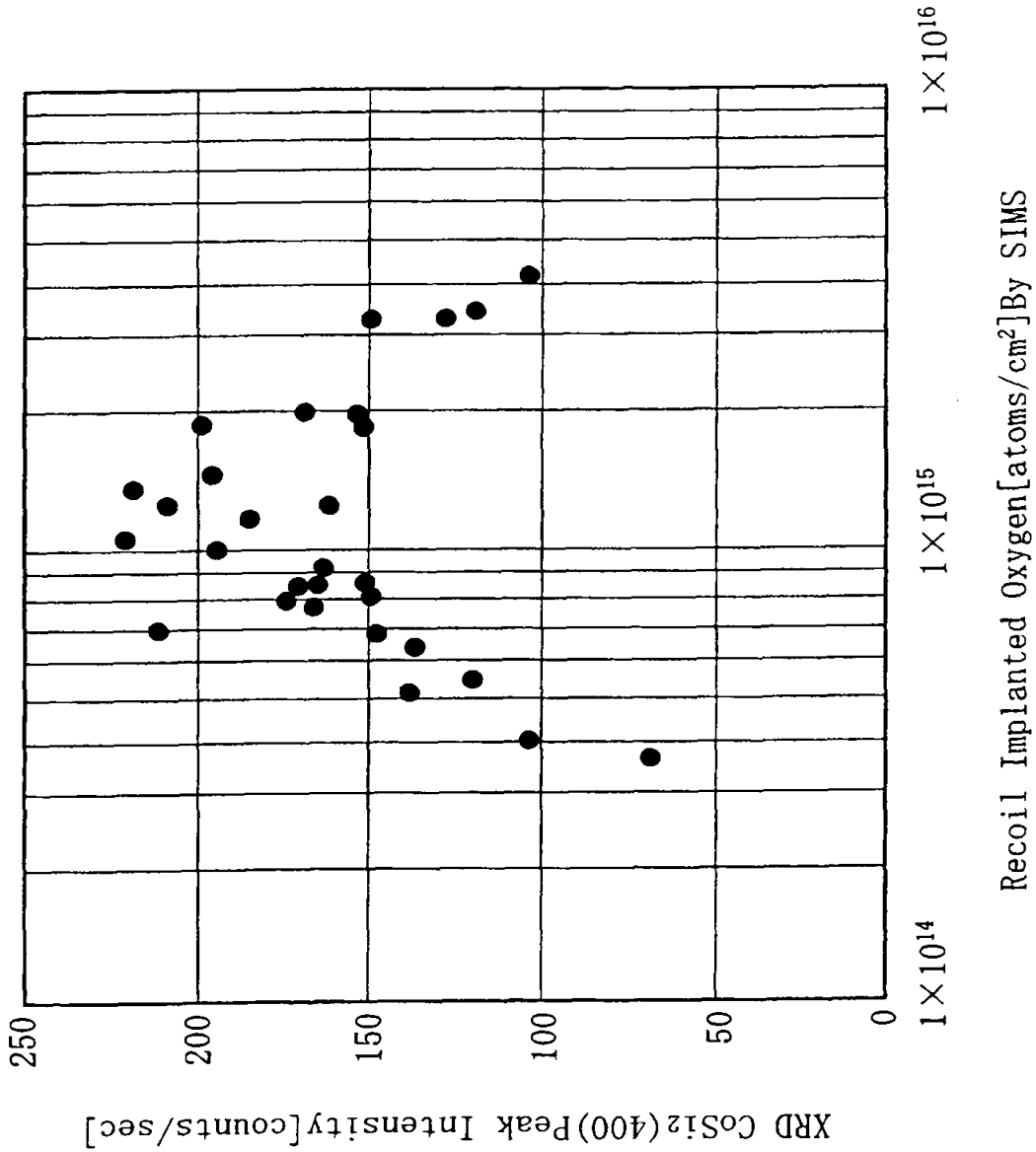


Fig. 8





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06851

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872, H01L21/3205, H01L21/3213, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, 800204, A2 (Lucent Technologies Inc.), 08 October, 1997 (08.10.97), Full text; Figs. 1 to 4	1, 11
Y	Full text; Figs. 1 to 4	6, 7
A	Full text; Figs. 1 to 4	2-5, 8-10, 12-14
	& US, 5728625, A & JP, 10-27908, A (Full text; Figs. 1-4)	
Y	JP, 4-37167, A (Sony Corporation), 07 February, 1992 (07.02.92), Full text; Figs. 1 to 3	6, 7
A	Full text; Figs. 1 to 3 (Family: none)	1-5, 8-14
A	JP, 7-78788, A (Sony Corporation), 20 March, 1995 (20.03.95), Full text; Figs. 1 to 7 (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
11 December, 2000 (11.12.00)

Date of mailing of the international search report  
19 December, 2000 (19.12.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.





## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872, H01L21/3205, H01L21/3213, H01L21/768

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP, 800204, A2 (Lucent Technologies Inc.)	1, 11
Y	8. 10月. 1997 (08. 10. 97)	6, 7
A	全文, 第1-4図	2-5, 8-10, 12-14
	& US, 5728625, A	
	& JP, 10-27908, A (全文, 第1-4図)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 12. 00

国際調査報告の発送日

19.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健

4L

9171

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 4-37167, A (ソニー株式会社) 7. 2月. 1992 (07. 02. 92) 全文, 第1-3図 全文, 第1-3図 (ファミリーなし)	6, 7 1-5, 8-14
A	JP, 7-78788, A (ソニー株式会社) 20. 3月. 1995 (20. 03. 95) 全文, 第1-7図 (ファミリーなし)	1-14

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 M00-K-146CT1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP00/06851	国際出願日 (日.月.年) 03.10.00	優先日 (日.月.年) 04.10.99
出願人(氏名又は名称) 松下電子工業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L21/28-21/288, H01L21/44-21/445, H01L29/40-29/43, H01L29/47, H01L29/872,  
H01L21/3205, H01L21/3213, H01L21/768

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	EP, 800204, A2 (Lucent Technologies Inc.) 8. 10月. 1997 (08. 10. 97) 全文, 第1-4図 全文, 第1-4図 全文, 第1-4図  & US, 5728625, A & JP, 10-27908, A (全文, 第1-4図)	1, 11 6, 7 2-5, 8-10, 12-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

11. 12. 00

国際調査報告の発送日

19. 12. 00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健



4 L

9171

電話番号 03-3581-1101 内線 3496



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 4-37167, A (ソニー株式会社) 7. 2月. 1992 (07. 02. 92) 全文, 第1-3図 全文, 第1-3図 (ファミリーなし)	6, 7 1-5, 8-14
A	JP, 7-78788, A (ソニー株式会社) 20. 3月. 1995 (20. 03. 95) 全文, 第1-7図 (ファミリーなし)	1-14

